

10/018606
PCT/JP00/04493

06.07.00

RECD 25 AUG 2000

WIPO

PCT

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年 7月 7日

18/
1

出願番号
Application Number:

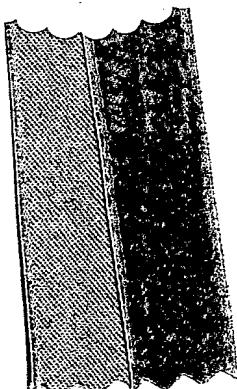
平成11年特許願第192675号

JP00/4493

出願人
Applicant(s):

株式会社ティ・アイ・エフ

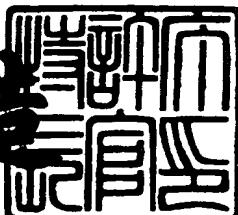
PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)



2000年 8月11日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3062501

【書類名】 特許願

【整理番号】 TI199901

【あて先】 特許庁長官殿

【国際特許分類】 H01F 17/00

【発明者】

【住所又は居所】 東京都大田区山王2丁目5番6-213 株式会社ティ
・アイ・エフ内

【氏名】 岡本 明

【発明者】

【住所又は居所】 東京都大田区山王2丁目5番6-213 株式会社ティ
・アイ・エフ内

【氏名】 池田 豪

【特許出願人】

【識別番号】 593119169

【氏名又は名称】 株式会社ティ・アイ・エフ

【代表者】 池田 豪

【代理人】

【識別番号】 100103171

【弁理士】

【氏名又は名称】 雨貝 正彦

【電話番号】 03-3362-6791

【手数料の表示】

【予納台帳番号】 055491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9718657

特平11-192675

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 インダクタ素子

【特許請求の範囲】

【請求項1】 互いに絶縁された状態で基板上に重ねて形成され、それぞれの一方端同士が接続された2つの導体を有し、前記基板から離間した一方の前記導体をインダクタ導体として用い、このインダクタ導体の引出線を前記基板に接近した他方の前記導体と前記基板との間を通した位置に配置することを特徴とするインダクタ素子。

【請求項2】 請求項1において、

前記基板上に3層以上の金属層が形成されており、互いに1層以上隔たった異なる層の前記金属層を用いて、前記2つの導体および前記引出線のそれぞれを形成することを特徴とするインダクタ素子。

【請求項3】 請求項1または2において、

前記引出線の一部を利用して、前記2つの導体の一方端同士の接続を行うことを特徴とするインダクタ素子。

【請求項4】 互いに絶縁された状態で基板上に重ねて形成され、それぞれの一方端同士が接続された2つの導体を有し、前記基板から離間した一方の前記導体をインダクタ導体として用いるとともに、他方の前記導体の端部であって前記インダクタ導体に接続されていない側を所定のインピーダンス素子で終端することを特徴とするインダクタ素子。

【請求項5】 請求項4において、

前記インピーダンス素子は、抵抗、キャパシタ、インダクタの少なくとも一つの素子定数が変更可能であり、前記素子定数を可変することにより終端条件を変更することを特徴とするインダクタ素子。

【請求項6】 請求項5において、

前記基板は、半導体基板であり、

前記キャパシタを、前記半導体基板の内外に形成された半導体層を用いた可変容量ダイオードによって形成することを特徴とするインダクタ素子。

【請求項7】 請求項5において、

前記基板は、半導体基板であり、

前記抵抗を、前記半導体基板の内外に形成された半導体層を用いたFETのチャネルによって形成することを特徴とするインダクタ素子。

【請求項8】 請求項1～7のいずれかにおいて、

前記2つの導体は、ほぼ同一形状を有していることを特徴とするインダクタ素子。

【請求項9】 請求項1～8のいずれかにおいて、

前記2つの導体は、長尺形状を有しており、それぞれの長手方向の一方端同士を接続することを特徴とするインダクタ素子。

【請求項10】 請求項1～8のいずれかにおいて、

前記2つの導体は、周回数が1周未満の周回形状を有しており、それぞれの一方端同士を接続することを特徴とするインダクタ素子。

【請求項11】 請求項1～8のいずれかにおいて、

前記2つの導体は、周回数が1周以上の渦巻き形状を有しており、それぞれの一方端同士を接続することを特徴とするインダクタ素子。

【請求項12】 請求項1～3のいずれかにおいて、

前記2つの導体は、周回数が1周以上の渦巻き形状を有しており、それぞれの一方端同士を接続するとともに、前記インダクタ導体の内周側端部から引き出される前記引出線を前記他方の導体と前記基板の間を通すことを特徴とするインダクタ素子。

【請求項13】 請求項1～8のいずれかにおいて、

前記2つの導体は、ほぼ直線形状に形成されており、それぞれの一方端同士を接続することを特徴とするインダクタ素子。

【請求項14】 請求項1～8のいずれかにおいて、

前記2つの導体は、蛇行形状に形成されており、それぞれの一方端同士を接続することを特徴とするインダクタ素子。

【請求項15】 請求項11または12において、

一方の前記導体の内周側端部と他方の前記導体の外周側端部とを接続することを特徴とするインダクタ素子。

【請求項16】 請求項1～15のいずれかにおいて、
前記インダクタ素子のインダクタンス成分と、前記2つの導体間のキャパシタ
ンス成分とを有することを特徴とするインダクタ素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基板等の各種の基板上に形成されるインダクタ素子に関する

【0002】

【従来の技術および発明が解決しようとする課題】

半導体基板上に薄膜成形技術を利用して渦巻き形状のパターン電極を形成し、
このパターンをインダクタ素子として利用する半導体回路が知られている。この
ような半導体基板上に形成されたインダクタ素子に電流が流れるとき、渦巻き形状
のパターンに垂直な方向に磁束が発生するが、この磁束によって半導体基板表面
に渦電流が発生して有効磁束を打ち消すため、インダクタ素子として有効に機能
しなくなるという問題がある。特に、インダクタ素子に流れる信号の周波数が高
くなるほどこの傾向が顕著であり、インダクタ素子を含む高周波回路を半導体基
板上に形成することは難しい。

【0003】

本発明は、このような点に鑑みて創作されたものであり、その目的は、基板上
に形成した場合であっても有効に機能するインダクタ素子を提供することにある

【0004】

【課題を解決するための手段】

上述した課題を解決するために、本発明のインダクタ素子は、互いに絶縁され
た状態で基板上に重ねて形成され、それぞれの一方端同士が接続された2つの導
体を有しており、基板から離間した一方の導体をインダクタ導体として用いると
ともに、このインダクタ導体の引出線を基板に接近した他方の導体と基板との間
を通していている。一方端同士が接続された2つの導体を基板上で重ねて配置し、基

板から離れた側の導体をインダクタ導体として用いた場合に、このインダクタ導体を基板上に形成しても渦電流等によってインダクタンス成分が消失せずに所定のインダクタンスを有することが実験により確かめられている。特に、このインダクタ導体の引出線を、他方の導体と基板との間を通して引き出すことにより、インダクタ導体によって発生する有効磁束の流れを遮ることを最小限に抑えることができ、良好な特性を得ることができる。

【0005】

特に、上述した基板上に3層以上の金属層を形成し、互いに1層以上隔たった異なる層の金属層を用いて、上述した2つの導体と引出線のそれぞれを形成することが望ましい。このような構造とすることにより、インダクタ導体と引出線とを少なくとも2層以上離すことができるため、引出線を流れる電流による影響をさらに少なくすることができる。

【0006】

また、2つの導体の一方端同士の接続を、インダクタ導体の一方端から延びる引出線の一部を利用して行うことが望ましい。インダクタ導体と交差する導線（引出線および接続線）の本数を減らすことができるため、インダクタ導体によって発生する有効磁束の流れを遮る程度をさらに低減することができる。また、各導体や引出線を露光装置等を用いて製造する場合に、マスクの形状を簡略化することができるため、製造コストおよび製造に要する手間を軽減することができる。

【0007】

また、本発明のインダクタ素子は、互いに絶縁された状態で基板上に重ねて形成され、それぞれの一方端同士が接続された2つの導体を有しており、基板から離間した一方の導体をインダクタ導体として用いるとともに、他方の導体の端部であってインダクタ導体に接続されていない側を所定のインピーダンス素子で終端している。インダクタ導体によって発生する有効磁束によって他方の導体にも電流が流れるが、この他方の導体の自由端側の端部をインピーダンス素子で終端することにより、この部分での不要反射を防止して特性改善を行うことが可能になる。また、インピーダンス素子を抵抗、キャパシタ、インダクタのいずれを用

いて、あるいはこれらをどのように組み合わせて形成するかによって、他方の導体の周波数特性等を調整することができるため、インピーダンス素子の素子定数を適切な値に調整することによる特性改善も可能になる。

【0008】

また、上述したインピーダンス素子を構成する抵抗、キャパシタ、インダクタの少なくとも一つの素子定数を変更可能にして、この素子定数を可変することにより終端条件を調整することが望ましい。外部から何らかの手段によって、例えば印加する制御電圧の値を変更することによって、インピーダンス素子全体の素子定数、すなわち終端条件の変更によるインダクタ素子の特性の調整が可能になる。

【0009】

特に、上述した基板が半導体基板である場合に、素子定数が変更可能なキャパシタを可変容量ダイオードによって形成することが望ましい。半導体基板を利用して形成した可変容量ダイオードを用いることにより、部品の小型化が可能であるとともに、後から外付け部品を付けて配線等を行う場合に比べて製造工程の簡略化による製造コストの低減が可能になる。同様に、上述した基板が半導体基板である場合に、チャネルを抵抗体として用いたFETによって形成することが望ましい。半導体基板を利用して形成したFETによる可変抵抗を用いることにより、部品の小型化が可能であるとともに、後から外付け部品を付けて配線等を行う場合に比べて製造工程の簡略化による製造コストの低減が可能になる。

【0010】

また、インピーダンス素子を構成するインダクタは、基板上に所定形状に形成された導体層によって形成することが望ましい。導体の一方端を終端するために用いられるインダクタには高いQが要求されないため、基板上の導体パターンによって実現することが可能であり、しかもこの導体パターンを各種の配線等を行う金属層を利用して同じ工程で形成することが可能になるため、部品の小型化、工程の簡略化およびこれに伴うコストダウンが可能になる。

【0011】

また、上述した2つの導体は、ほぼ同一形状あるいは長尺形状に形成すること

が望ましい。同一形状とすることにより、上層の導体が基板表面と直接対向することがないため、直接対向させたときに基板上に生じる渦電流を低減することができる。また、2つの導体の形状を長尺形状とすることにより、上層の導体に所定のインダクタンスを持たせることができる。特に、導体を1周以上の渦巻き形状あるいは蛇行形状に形成した場合には、大きなインダクタンスを持たせることができるために、比較的低い周波数の回路に組み込む場合に適している。また、導体を1周未満の周回形状あるいはほぼ直線形状に形成した場合には、渦巻き形状等に形成した場合に比べてインダクタンスを小さくすることができるために、比較的高い周波数の回路に組み込む場合に適している。

【0012】

また、2つの導体を渦巻き形状とした場合には、一方の導体の内周端と他方の導体の外周端とを接続することが望ましい。このような接続を行うことにより、基板上にインダクタ導体を形成した状態でさらに大きなインダクタンスを確保できることが実験により確かめられており、基板上で有効に機能するインダクタ素子を実現することができる。特に、周回数が1周以上の渦巻き形状の場合には、この渦巻き形状のインダクタ導体の内周側端部から引出線を延ばす必要があるが、基板に近い導体と基板との間を通してこの引出線を引き出すことにより、インダクタ導体によって発生する有効磁束の流れを遮ることを最小限に抑えることができる。

【0013】

また、上述したインダクタ素子は、インダクタンス成分とともにキャパシタンス成分を有する複合素子としての使用に適している。このインダクタ素子は、互いに重なり合った2つの導体を有しており、その特性にはキャパシタンス成分も含まれるため、インダクタやキャパシタと組み合わせて回路の一部とするような用途に用いることができる。

【0014】

【発明の実施の形態】

以下、本発明を適用した一実施形態のインダクタ素子について、図面を参照しながら具体的に説明する。

【0015】

【第1の実施形態】

図1は、第1の実施形態のインダクタ素子の平面構造を示す図である。また、図2は図1に示したインダクタ素子に含まれる上層の導体を示す図である。図3は図1に示したインダクタ素子に含まれる下層の導体の形状を示す図である。

【0016】

本実施形態のインダクタ素子100は、半導体基板110の表面に形成された渦巻き形状の2本の導体120、122を有している。これら2本の導体120、122は、ほぼ同一形状を有しており、半導体基板110の表面側から見たときに、上層となる一方の導体120と下層となる他方の導体122とがほぼ重なるように配置されている。各導体120、122は、例えば金属薄膜（金属層）、あるいはポリシリコン等の半導体材料によって形成されている。

【0017】

図4は、上述した2本の導体120、122の接続状態を示す図である。図4に示すように、上層の導体120の外周端（外縁端）と内周端（中心端）のそれぞれには、引出線130、132が接続されており、上層の導体120の内周端と下層の導体122の外周端とが接続線134によって接続されている。

【0018】

上層の導体120は、インダクタ導体として機能しており、その両端に接続された引出線130、132を介して、半導体基板110上に形成された回路（図示せず）に接続される。

【0019】

図5は、図1のV-V線拡大断面図である。図4および図5に示すように、半導体基板110の表面には、少なくとも3層の金属層160、162、164が形成されており、半導体基板110から最も離れた最上層の金属層160を用いてインダクタ導体としての一方の導体120が形成され、中層の金属層162を用いて他方の導体122が形成されている。

【0020】

また、最上層の導体120の内周端から引き出される引出線132は、半導体

基板110に最も近い最下層の金属層164を用いて形成されている。例えば、図5に示すように、導体120の内周端と引出線132の一方端とがスルーホール150を介して接続されており、最下層の金属層164によって形成された引出線132が渦巻き形状のインダクタ導体の各周回部分と直交するように外周側に向けて引き出される。なお、3つの金属層160、162、164を用いて形成される導体120、122、引出線132および半導体基板110のそれぞれの間には絶縁層140、142、144が形成されており、相互の絶縁が行われる。

【0021】

本実施形態のインダクタ素子100は上述した構造を有しており、上層の導体120の両端のそれぞれに接続された引出線130、132の間に所定のインダクタンスが現れるため、この上層の導体120をインダクタ導体として用いることができる。また、この上層の導体120の下側に、この導体120とほぼ同一形状を有する導体122を形成し、互いの一方端同士を接続線134で接続することにより、上層の導体122をインダクタ導体として使用した際に半導体基板110の表面の渦電流の発生を抑えることができ、上層の導体120をインダクタ導体として有効に機能させることができる。

【0022】

また、本実施形態のインダクタ素子100においては、インダクタ導体としての上層の導体120の内周端から引き出される引出線132は、最下層の金属層164を用いて形成されており、インダクタ導体からは他方の導体122を挟んだ最も離間した位置に配置されている。したがって、インダクタ導体によって発生する有効磁束の流れを遮ることを最小限に抑えることができ、良好な特性を得ることができる。このように、本実施形態のインダクタ素子100は、半導体基板110の表面の少なくとも3層の金属層160、162、164を用いて形成することができるため、半導体基板110上に他の部品とともに一体形成して集積化することが可能になる。

【0023】

ところで、本出願人は、上述した2つの導体120、122を基板上に重ねて

配置するとともに、それぞれの一方端同士を接続して形成されるインダクタ素子の有効性について、各種の実験を行っており、その実験結果に基づく出願（特願平10-93869号）を既に行っている。本実施形態のインダクタ素子100はその改良であり、2つの導体120、122が2層構造を有していることを利用して、引出線132の引き出し位置を工夫することにより、特性の改善を図ったものである。例えば、半導体基板やその他の基板上に単に渦巻き形状のインダクタ導体を形成した場合を考えると、このインダクタ導体が形成されている金属層よりも上層あるいは下層の金属層を用いて引出線を形成しても、インダクタ層と引出線とが隣接して配置されることに変わりはなく、インダクタ導体によって発生する有効磁束を遮ることになる。しかし、本実施形態のインダクタ導体100では、インダクタ導体としての一方の導体120と引出線132との間に他方の導体122が配置されているため、インダクタ導体120と交差するように引出線132を引き出した場合の有効磁束の乱れを低減することができる。

【0024】

以下、上述した出願（特願平10-93869号）で示した実験結果を引用して、本実施形態のインダクタ素子の有効性を説明する。

【0025】

図6は、インダクタ素子100に含まれる導体120と同じ形状の1層の電極を有するインダクタ素子の順方向利得を測定した結果を示す図である。また、図7はインダクタ素子100に含まれる導体120と同じ形状の1層の電極を有するインダクタ素子の順方向利得であって、このインダクタ素子に導体基板を密着させた場合の特性が示されている。

【0026】

これらの測定に用いたインダクタ素子は、厚さ0.13mm、比誘電率3.17の絶縁部材の表面に、パターン幅が1mm、周回するパターンの隣接間隔が0.2mm、周回数が5ターンの電極が形成されたものが用いられている。図6に示した特性は、このインダクタ素子を他の導電性部材から充分離間した状態で測定したものである。また、図7に示した特性は、このインダクタ素子の反電極側の絶縁部材表面に銅板を密着させた状態で測定したものである。なお、図6およ

び図7（後述する図8および図9も同様）の縦軸は対数表示した減衰量を、横軸は対数表示した入力信号の周波数をそれぞれ示している。

【0027】

渦巻き形状を有する1層の電極からなるインダクタ素子は、他の導電性部材から充分離間した状態では、図6に示すように、入力信号の周波数が高くなればなるほどその順方向利得が小さくなる。これは、所定のインダクタンスLを有するインダクタ素子のインピーダンスは $j \omega L$ であって、入力信号の周波数に比例して大きくなるためである。

【0028】

これに対し、このインダクタ素子を銅板に密着させた状態では、図7に示すように、入力信号が変化しても高い順方向利得が維持される。これは、このインダクタ素子が有するインダクタンスが銅板を接近させることにより小さくなつたために、本来のインダクタとして機能しなくなつたことを示している。インダクタンスが小さくなつた原因としては、電極に信号が入力されたときに発生する磁束によって銅板表面に渦電流が生じてこの磁束を打ち消すことが考えられる。

【0029】

なお、上述した測定では、基板として銅板を用いたが、銅板の代わりに半導体基板を用いた場合であっても、基本的には同様の現象が起こる。

【0030】

図8は、インダクタ素子100に含まれる2本の導体120、122と同じ形状および配置の2層の電極を有するインダクタ素子の順方向利得を測定した結果を示す図である。また、図9はインダクタ素子100に含まれる2本の導体120、122と同じ形状および配置の2本の電極を有するインダクタ素子の順方向利得であつて、このインダクタ素子に導体基板を密着させた場合の特性が示されている。

【0031】

これらの測定に用いたインダクタ素子は、図6および図7に測定結果を示したインダクタ素子に対して、図1に示した導体122に対応する電極を追加した構造を有している。なお、このインダクタ素子に銅板を密着させる場合には、充分

に薄い絶縁部材を介して下層の電極と銅板とが配置されている。

【0032】

渦巻き形状を有する2層の電極を対向配置したインダクタ素子は、他の導電性部材から充分離間した状態では、図8に示す順方向利得特性からわかるように、84MHz近傍に共振点が現れる。これは、一方の電極がインダクタ導体として機能するとともに、2本の電極間にキャパシタンスが生じるため、このインダクタ素子全体としてはインダクタンス成分とキャパシタンス成分を有する複合素子として機能するためである。

【0033】

また、このインダクタ素子を銅板に密着させた状態では、図9に示すように、共振点の位置(135MHz)がずれるが、同じような共振点が現れる。これは、上述した電極の2重構造を有するインダクタ素子を用いることにより、銅板を密着させてもそのインダクタンス成分が消失することなく、インダクタ導体としての機能を維持していることを示している。

【0034】

なお、2重構造の電極を有するインダクタ素子は、2本の電極間のキャパシタンスが必ず付随するため、用途としてはその共振特性を利用した回路の一部品として使用することが好ましい。例えば、発振回路、同調回路等のインダクタ素子100として用いることが好ましい。

【0035】

次に、上述した本実施形態のインダクタ素子100を実際の回路の一部品として用いた場合の具体例を説明する。

【0036】

図10は、本実施形態のインダクタ素子100を用いて構成される発振回路の例であり、クラップ発振回路の構成が示されている。このクラップ発振回路では、2つのキャパシタ20、22のキャパシタンスがトランジスタ24の端子間容量の数十倍になるように設定されており、キャパシタ28を介してインダクタ素子30が接続されている。

【0037】

図11は、図10に示したクラップ発振回路のインダクタ素子30として、図6に順方向利得の測定結果を示した1層の電極を有するインダクタ素子を用いた場合の発振回路の出力特性を示す図である。図11に示すように、119MHzの発振周波数が観察された。

【0038】

また、図12は、図10に示したクラップ発振回路のインダクタ素子30として、図9に順方向利得の測定結果を示した2層の電極を銅板に密着させたインダクタ素子を用いた場合の発振回路の出力特性を示す図である。図12に示すように、127MHzの発振周波数が観察された。

【0039】

このように、電極を2層構造としたインダクタ素子は、その一方（インダクタ導体として使用する電極と反対側）に銅板を密着させても、そのインダクタンス成分が消失せずにインダクタ導体として機能していることがわかる。したがって、基本的に同じ構造を有する本実施形態のインダクタ素子100は、上層の導体120の他に下層の導体122を備えることによって、半導体基板110表面に密着するように形成した場合であっても、所定のインダクタンスを有するインダクタ素子として有効に機能することができる。

【0040】

【第2の実施形態】

図13は、第2の実施形態のインダクタ素子100Aの構造を示す図であり、図4に示した第1の実施形態のインダクタ素子100の接続状態に対して所定のインピーダンス素子200を追加した点が異なっている。

【0041】

すなわち、上述した第1の実施形態のインダクタ素子100では、インダクタ導体としての一方の導体120とほぼ重なるように配置された他方の導体122に着目すると、一方の端部（図1に示した例では外周端）のみが接続線134に接続されており、内周側が自由端（オープンの状態）になっている。本実施形態では、導体122の内周端をインピーダンス素子200を介して終端することにより、インダクタ素子100A全体の特性を改善あるいは調整することができる

【0042】

例えば、インダクタ素子100Aの一方の導体120に電流が流れたときに、他方の導体122に誘導電流あるいは接続線134を介して直接流れ込む電流が生じるが、他方の導体122の内周端をインピーダンス素子200を介して終端することにより、この内周端における不要反射を防止することができる。また、インピーダンス素子200の素子定数を調整あるいは変更することにより、インダクタ素子100Aを含む回路の周波数特性の改善や変更が容易となる。例えば、周波数を低くしたい場合にはインピーダンス素子200としてインダクタを使用すればよく、反対に周波数を高くしたい場合にはインピーダンス素子200としてキャパシタを用いればよい。あるいは、インピーダンス200は、これらのインダクタやキャパシタあるいは抵抗を任意に組み合わせて形成するようにしてもよい。

【0043】

また、上述したインピーダンス素子200は、最も簡単にはインダクタ、キャパシタあるいは抵抗のチップ部品を用いることができる。また、図5に断面構造を示したように、インダクタ素子100Aを構成する2つの導体120、122等を半導体基板110上に形成することを考慮すると、インピーダンス素子200も半導体製造技術を用いて半導体基板110上に形成することが望ましい。例えば、高抵抗体を用いて抵抗を形成したり、所定の面積を有する2層の金属層を対向させてキャパシタを形成したり、所定形状の導体によってインダクタを形成する場合が考えられる。なお、インピーダンス素子200は単に終端用の素子として用いられるため、これをインダクタによって実現する場合であってもそれ程高いQは必要ない。このため、所定形状（例えば渦巻き形状）の導体を半導体基板110上に形成して構成されるインダクタをインピーダンス素子200として使用することも可能になる。

【0044】

また、素子定数が外部からの制御手段によって変更可能なインピーダンス素子200を用いるようにしてもよい。図14は、導体122の内周端に可変容量ダ

イオード210を接続する場合の構成を示す図である。可変容量ダイオード210は、逆バイアスの状態で使用することにより所定のキャパシタンスを有するキャパシタとして動作し、逆バイアス電圧の大きさを可変することによってキャパシタンスが変更される。この可変容量ダイオード210は、直流成分除去用のキャパシタ212を介して導体122の内周端に接続されている。

【0045】

図15は、図14に示した可変容量ダイオード210を半導体基板110上に形成した場合の断面構造を示す図である。図15に示すように、n型シリコン基板(n-Si基板)によって形成される半導体基板110の表面付近に形成されたp⁺領域220と、さらにその一部に形成されたn⁺領域222とを含んでおり、これらのp⁺領域220とn⁺領域222とがpn接合層を形成している。また、p⁺領域220の表面には接地用の電極230が形成されており、n⁺領域222の表面には可変の逆バイアス電圧を制御電圧Vcとして印加するための電極232が形成されている。電極232に正の制御電圧Vcを印加することにより、この制御電圧Vcの大きさに応じてキャパシタンスが変化する可変容量ダイオード210を形成することができる。

【0046】

図16は、導体122の内周端にFET240による可変抵抗を接続する場合の構成を示す図である。図16に示すように、可変抵抗はFET240のチャネルを抵抗体として用いることにより容易に実現することができる。ゲート電極に印加する制御電圧Vcを変更することにより、ソースとドレイン間に形成されるチャネルの抵抗を変更することができる。また、FET240は、半導体基板110の表面付近にソース領域やドレイン領域を形成するとともに、これらの各領域やその間のチャネルが形成される領域の近傍に所定形状の電極を形成することにより、半導体基板110上に容易に形成することができる。

【0047】

このように、外部から印加される制御電圧Vcに応じて素子定数が変更可能なインピーダンス素子を用いて導体122の一方の端部を終端することにより、終端条件を変更することができるため、インダクタ素子100Aに入出力される信

号の周波数等が変更になった場合であっても、この変更に合わせて終端条件を調整することができ、特性の改善が可能になる。

【0048】

なお、本発明は上記実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、図1に示したインダクタ素子100は、上層の導体120の内周端と下層の導体122の外周端とを互いに接続線134を介して接続するようにしたが、反対に上層の導体120の外周端と下層の導体122の内周端とを互いに接続するようにしてもよい。また、インダクタ素子のインダクタンスがある程度小さくなることを許容する場合には、導体120、122の各外周端同士、あるいは各内周端同士を接続するようにしてもよい。

【0049】

また、上述した実施形態では、インダクタ素子100、100Aに含まれる2本の導体120、122を渦巻き形状に形成したため、大きなインダクタンスを有するインダクタ素子100、100Aを実現することができるが、2本の導体120、122を蛇行形状に形成するようにしてもよい（図17）。また、高周波回路の一部品としてこのインダクタ素子100、100Aを用いる場合には小さなインダクタンスで充分であるため、導体120、122のターン数を減らして1ターン未満に形成したり（図18）、ほぼ直線形状に形成するようにしてもよい（図19）。

【0050】

また、上述した実施形態では、2つの導体120、122の形状をほぼ同じに設定したが、異なる形状に設定するようにしてもよい。例えば、下層の導体122のターン数を上層の導体120のターン数よりも多く設定するようにしてもよい。このように、上層の導体120の下側に下層の導体122の全部あるいは一部が配置されると、直接上層の導体120が半導体基板110と対向しなくなるため、上層の導体120による渦電流の発生を有効に防止することができる。

【0051】

また、上述した実施形態では、半導体基板110上に2本の導体120、122を形成することによりインダクタ素子100、100Aを形成したが、金属等

の導体基板上に2本の導体120、122を形成したインダクタ素子を実現することもできる。図9に示した実験結果から、この場合であってもインダクタ素子として有効に機能することが確かめられている。導体基板上に密着させてインダクタ素子100、100Aを形成することができれば、金属製のシールドケース等の表面にインダクタ素子100、100Aを配置することも可能になり、インダクタ素子の設置スペースの確保が容易となる。

【0052】

また、上述した各実施形態のインダクタ素子100、100Aは、2つの導体120、122の一方端同士を接続するために、引出線130、132とは別の接続線134を用いたが、図20に示すように、一方の引出線132の一部を用いて2つの導体120、122の一方端同士の接続を行うようにしてもよい。この場合には、接続線134が不要になるため、構造の簡略化が可能になるとともに、接続線134によって不要な磁束を発生したり、インダクタ導体によって発生する有効磁束を乱すことがなくなるため特性の改善が可能になる。

【0053】

【発明の効果】

上述したように、本発明によれば、一方端同士が接続された2つの導体の中の基板から離間した側をインダクタ導体として用いるとともに、このインダクタ導体の引出線を基板に接近した他の導体と基板との間を通しておき、インダクタ導体によって発生する有効磁束の流れを遮ることを最小限に抑えることができ、良好な特性を得ることができる。

【0054】

また、本発明によれば、インダクタ導体によって発生する有効磁束によって他方の導体にも電流が流れるが、この他方の導体の自由端側の端部をインピーダンス素子で終端することにより、この部分での不要反射を防止して特性改善を行うことが可能になる。

【図面の簡単な説明】

【図1】

第1の実施形態のインダクタ素子の平面構造を示す図である。

【図2】

図1に示したインダクタ素子に含まれる上層の導体を示す図である。

【図3】

図1に示したインダクタ素子に含まれる下層の導体の形状を示す図である。

【図4】

インダクタ導体に含まれる2本の導体の接続状態を示す図である。

【図5】

図1のV-V線拡大断面図である。

【図6】

実験結果を示す図である。

【図7】

実験結果を示す図である。

【図8】

実験結果を示す図である。

【図9】

実験結果を示す図である。

【図10】

インダクタ素子を含む発振回路の回路図である。

【図11】

図10に示す発振回路の出力特性を示す図である。

【図12】

図10に示す発振回路の出力特性を示す図である。

【図13】

第2実施形態のインダクタ素子の構造を示す図である。

【図14】

下層の導体の内周端に可変容量ダイオードを接続する場合の構成を示す図である。

【図15】

図14に示した可変容量ダイオードを半導体基板上に形成した場合の断面構造

を示す図である。

【図16】

下層の導体の内周端に可変抵抗を接続する場合の構成を示す図である。

【図17】

インダクタ素子に含まれる導体の変形例を示す図である。

【図18】

インダクタ素子に含まれる導体の変形例を示す図である。

【図19】

インダクタ素子に含まれる導体の変形例を示す図である。

【図20】

2つの導体の端部同士を接続する接続線を省略したインダクタ素子の変形例を示す図である。

【符号の説明】

100、100A インダクタ素子

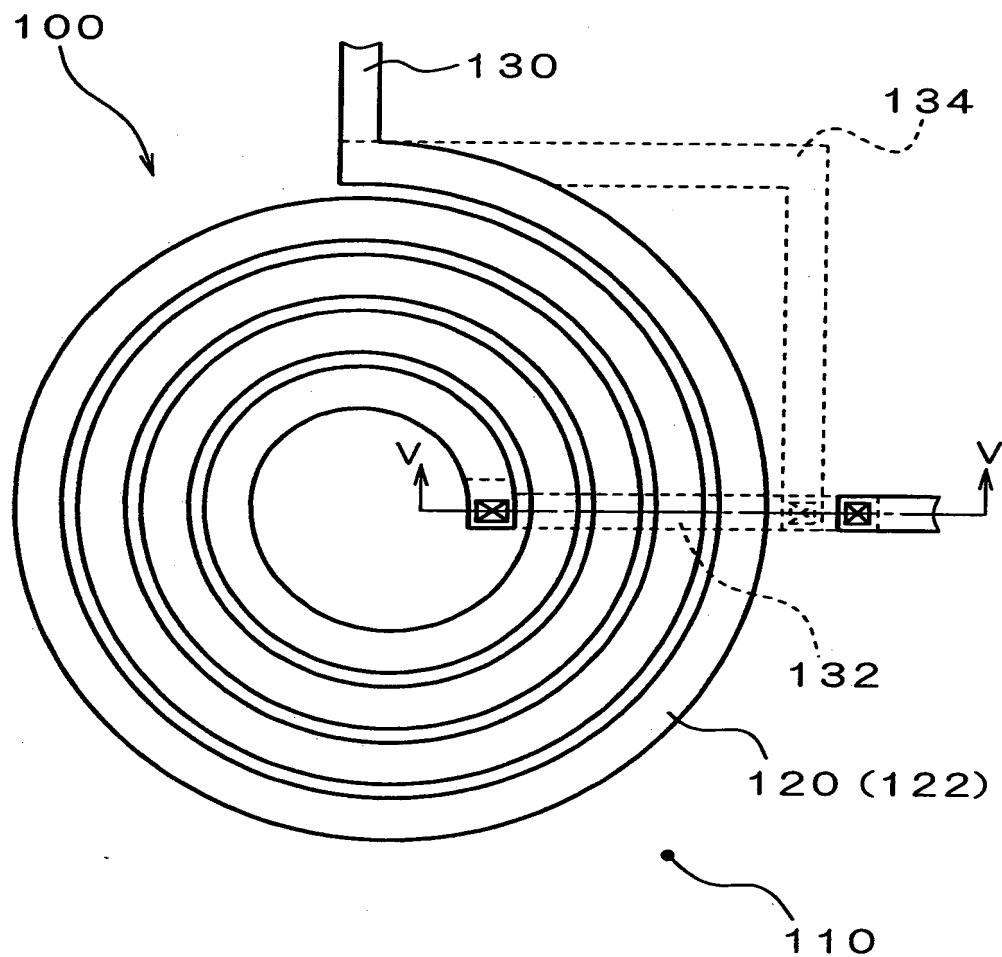
110 半導体基板

120、122 導体

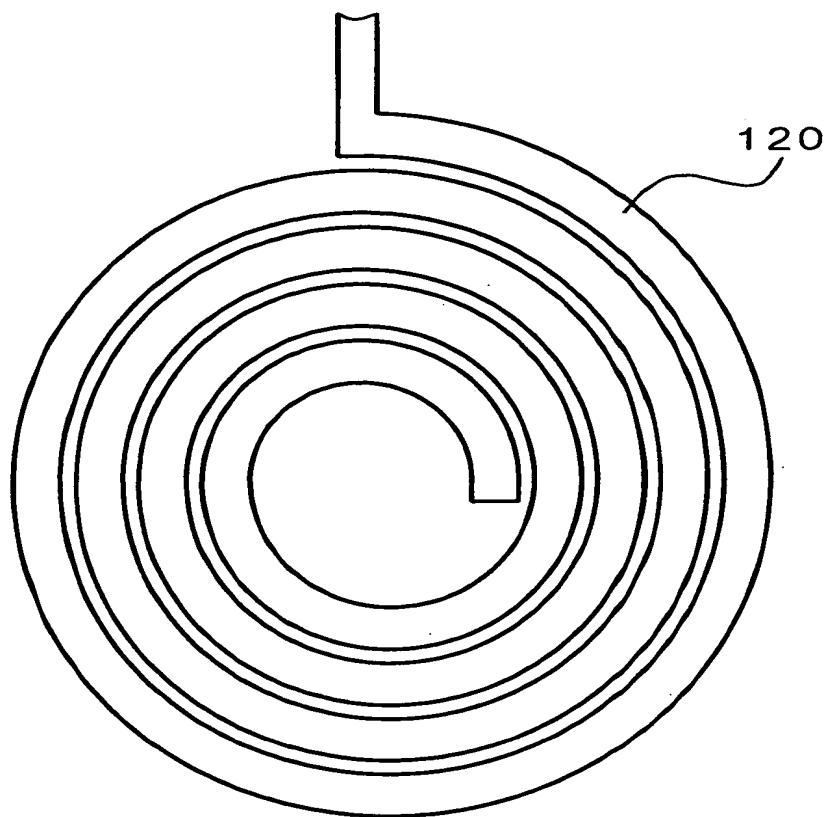
130、132 引出線

134 接続線

【書類名】 図面
【図1】

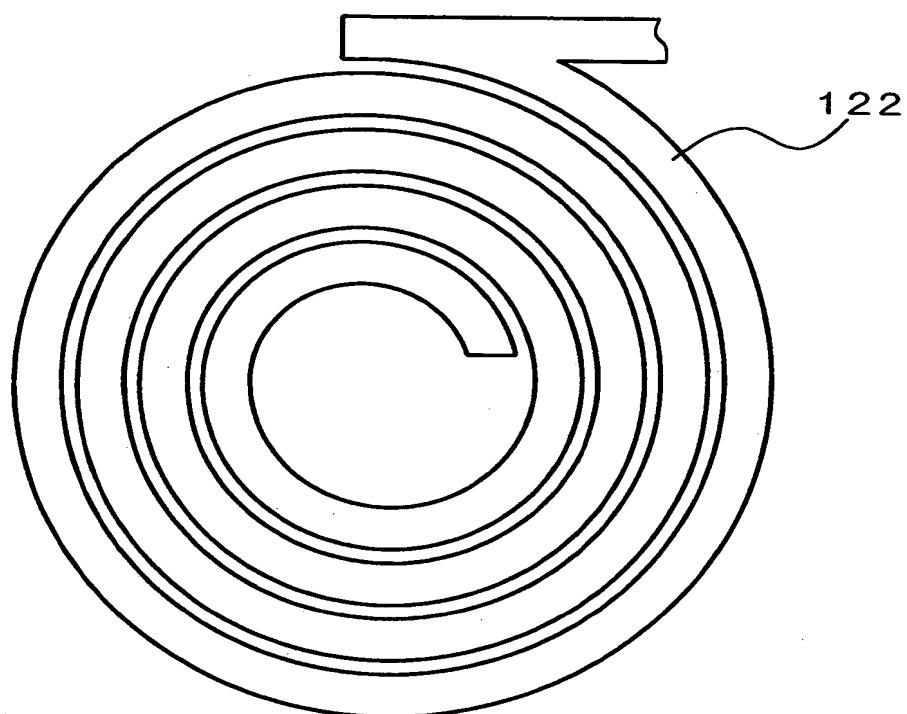


【図2】

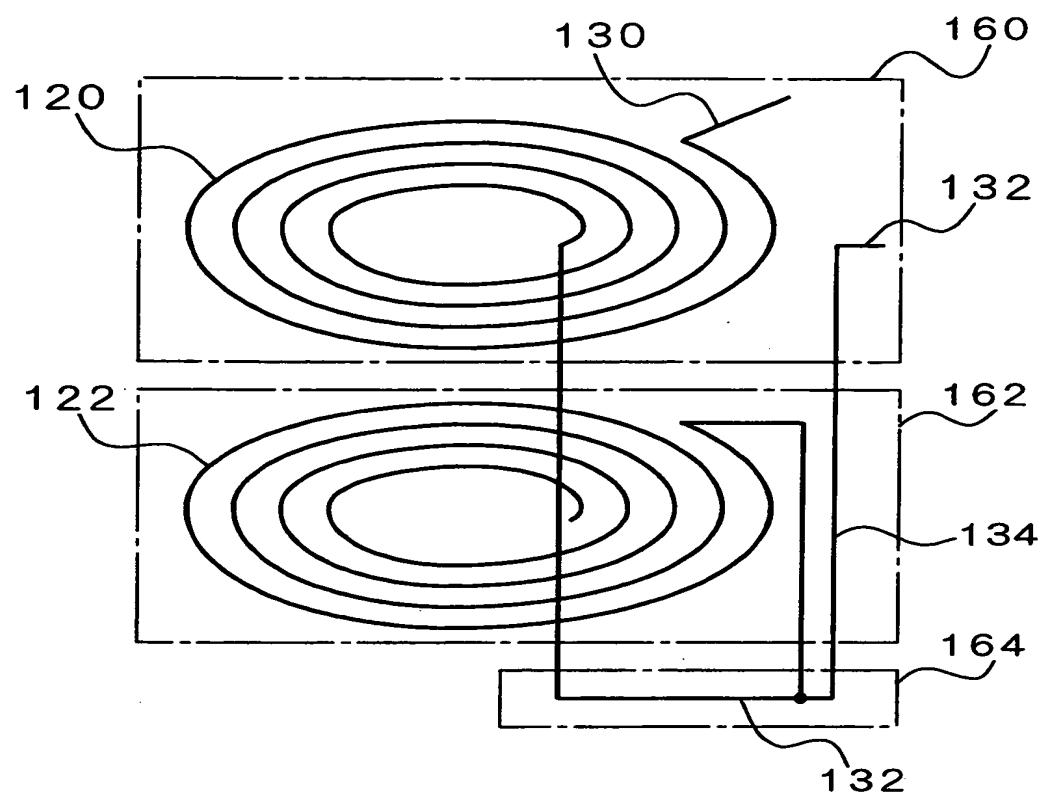


特平11-192675

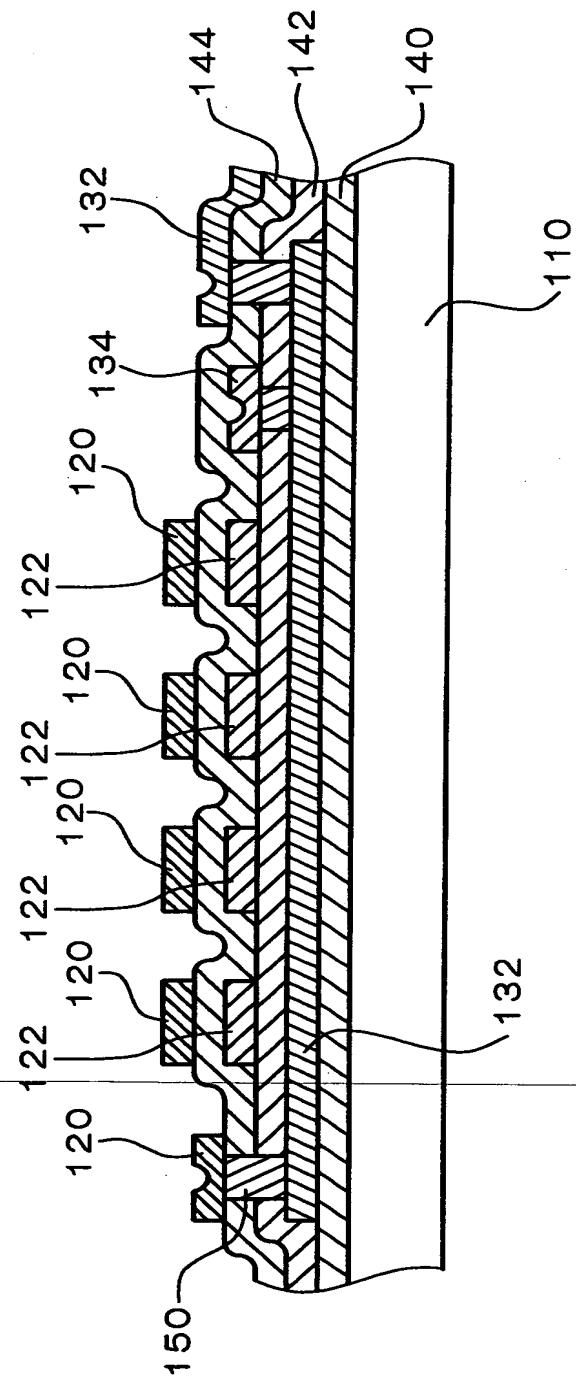
【図3】



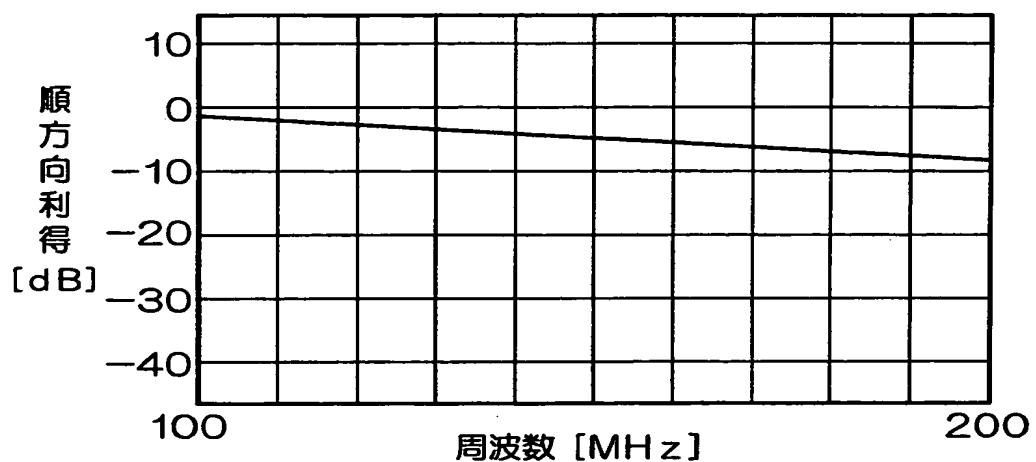
【図4】



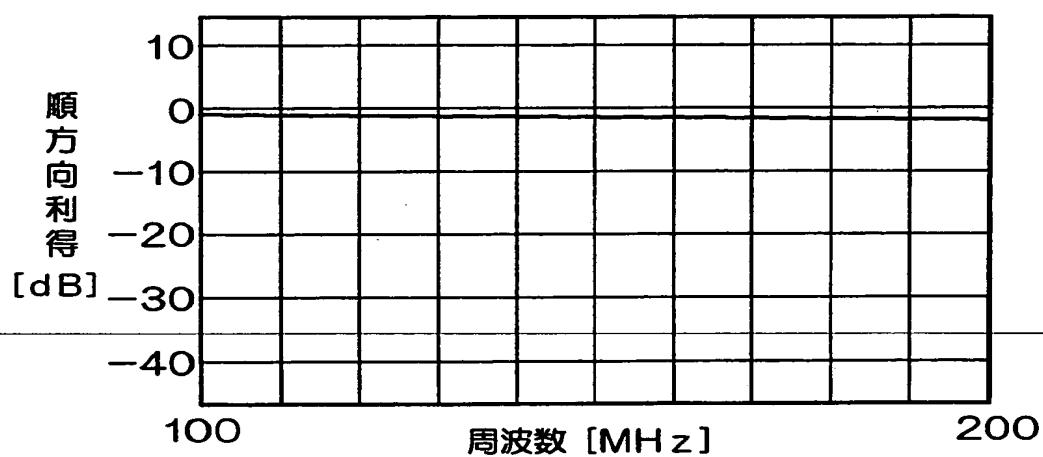
【図5】



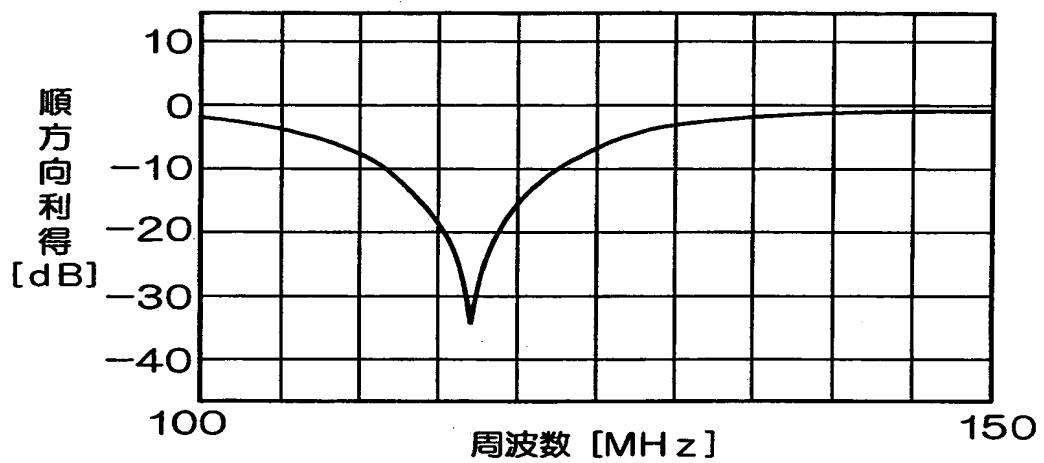
【図6】



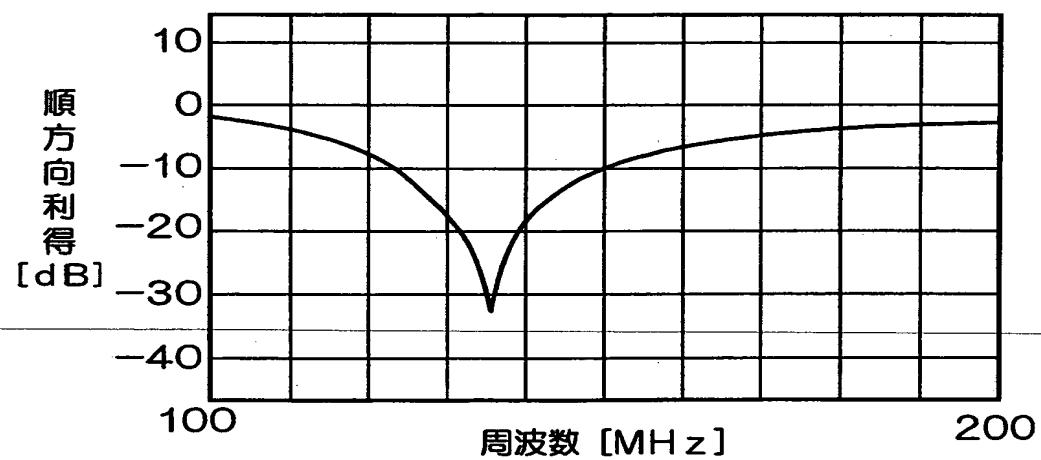
【図7】



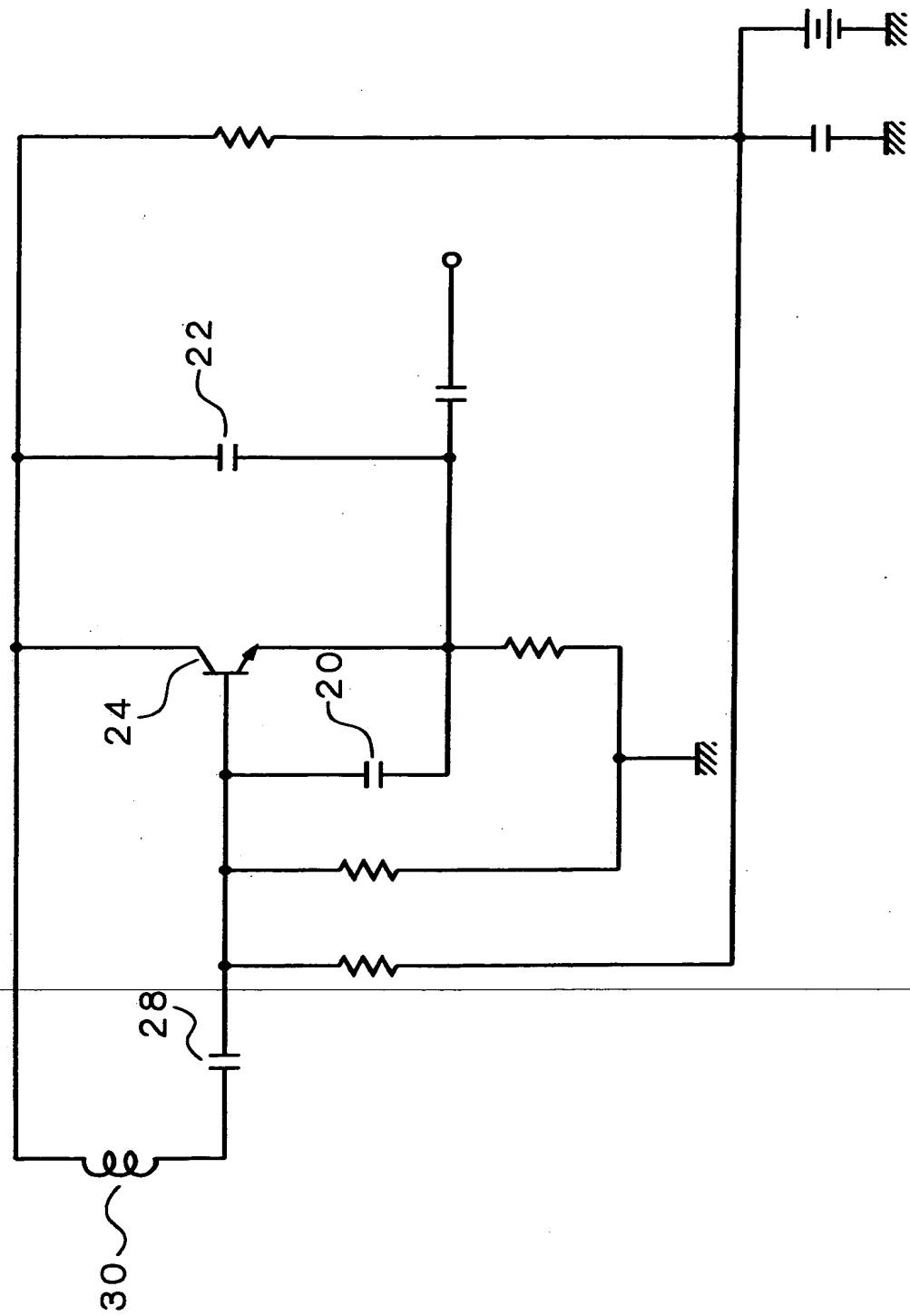
【図8】



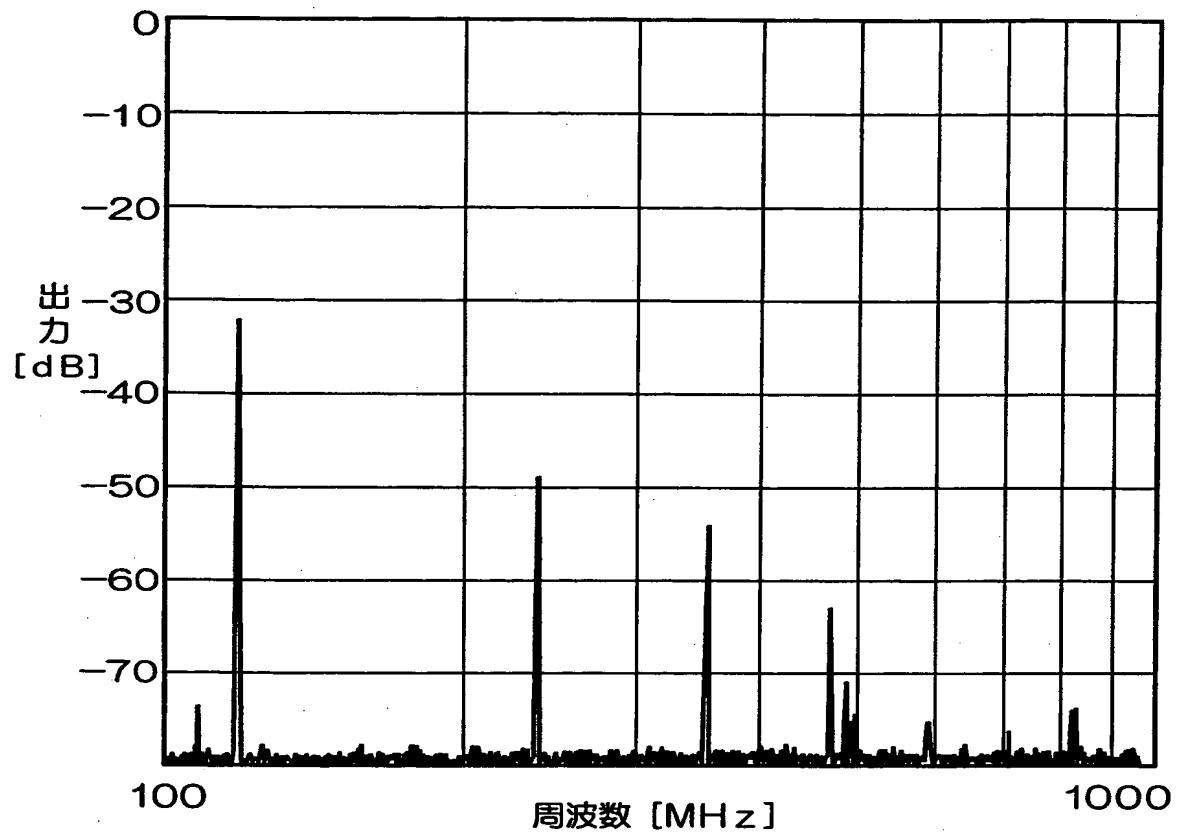
【図9】



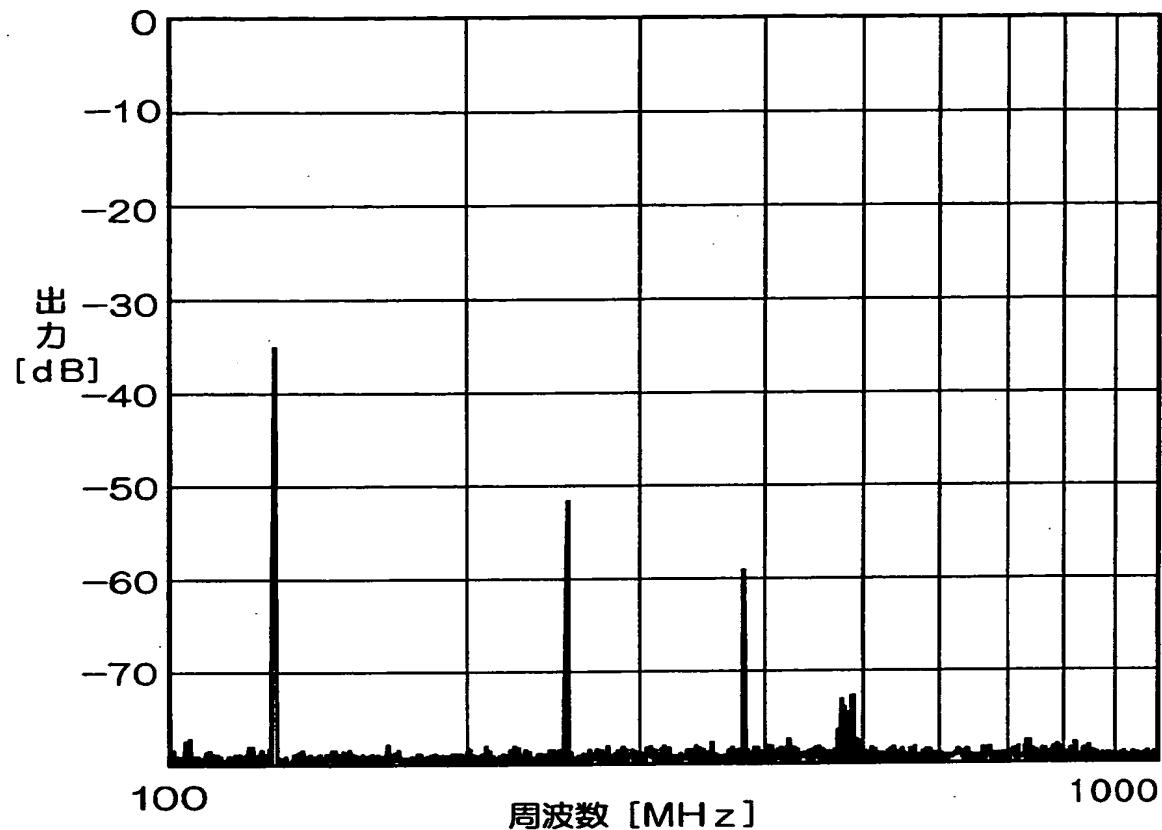
【図10】



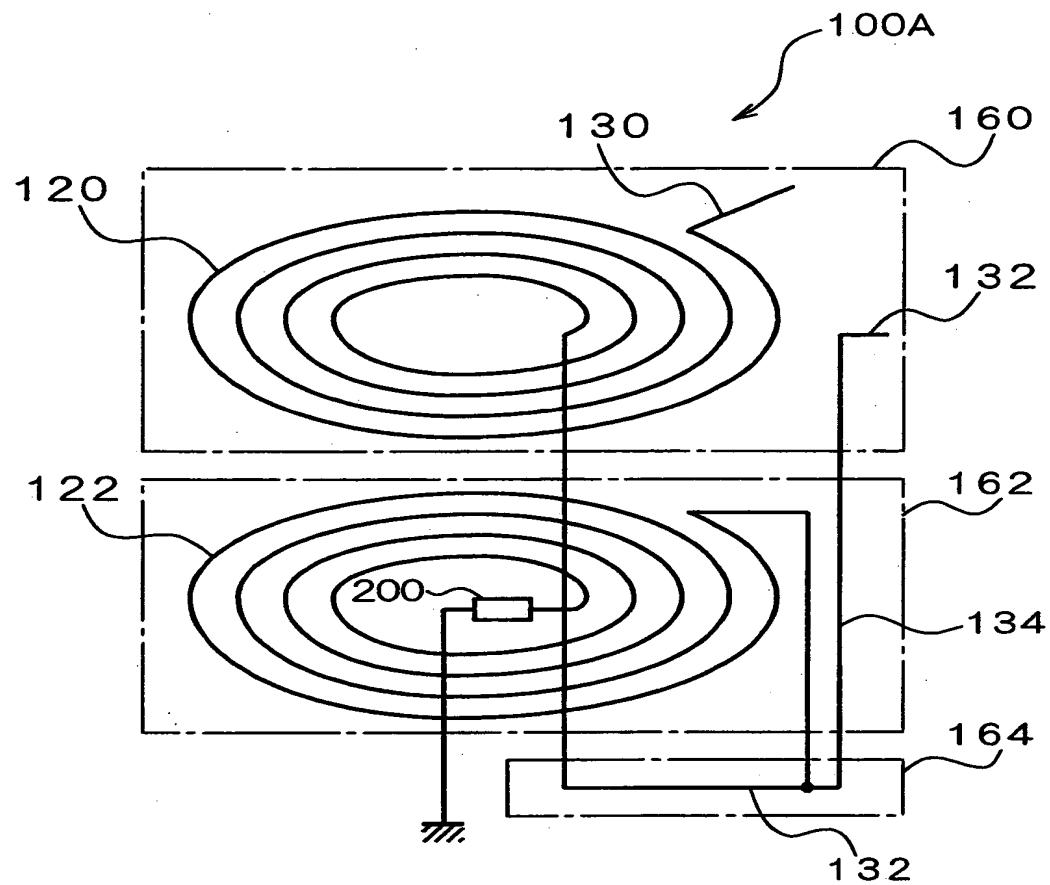
【図11】



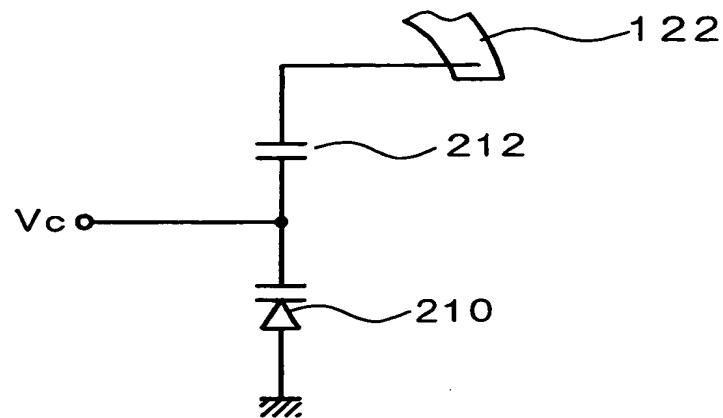
【図12】



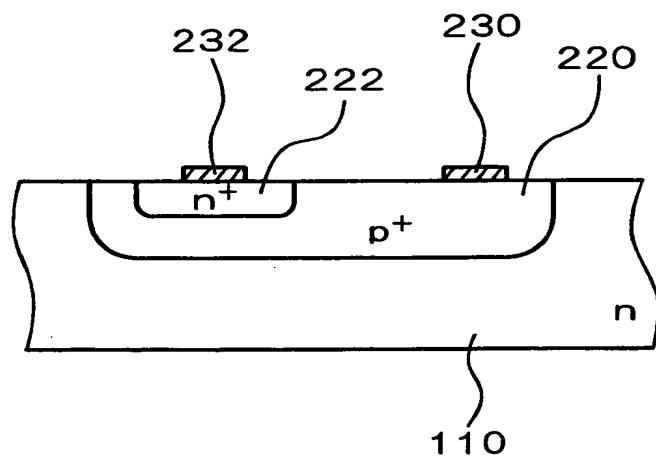
【図13】



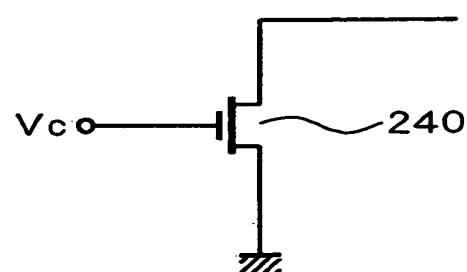
【図14】



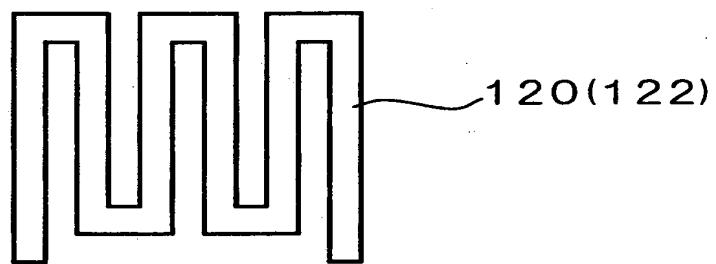
【図15】



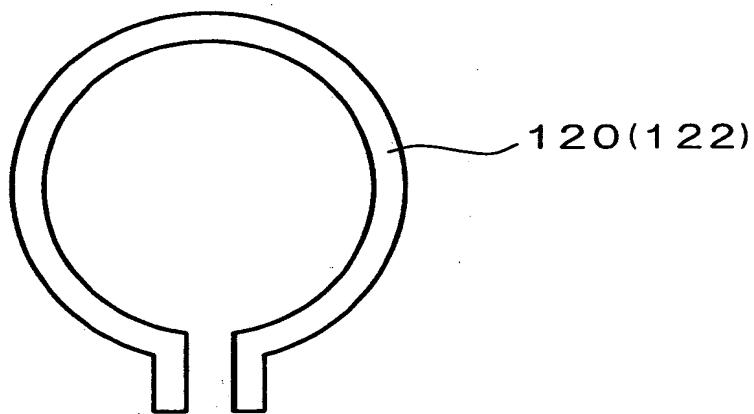
【図16】



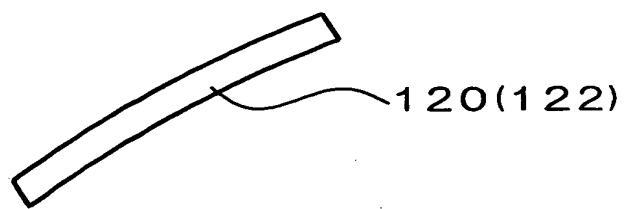
【図17】



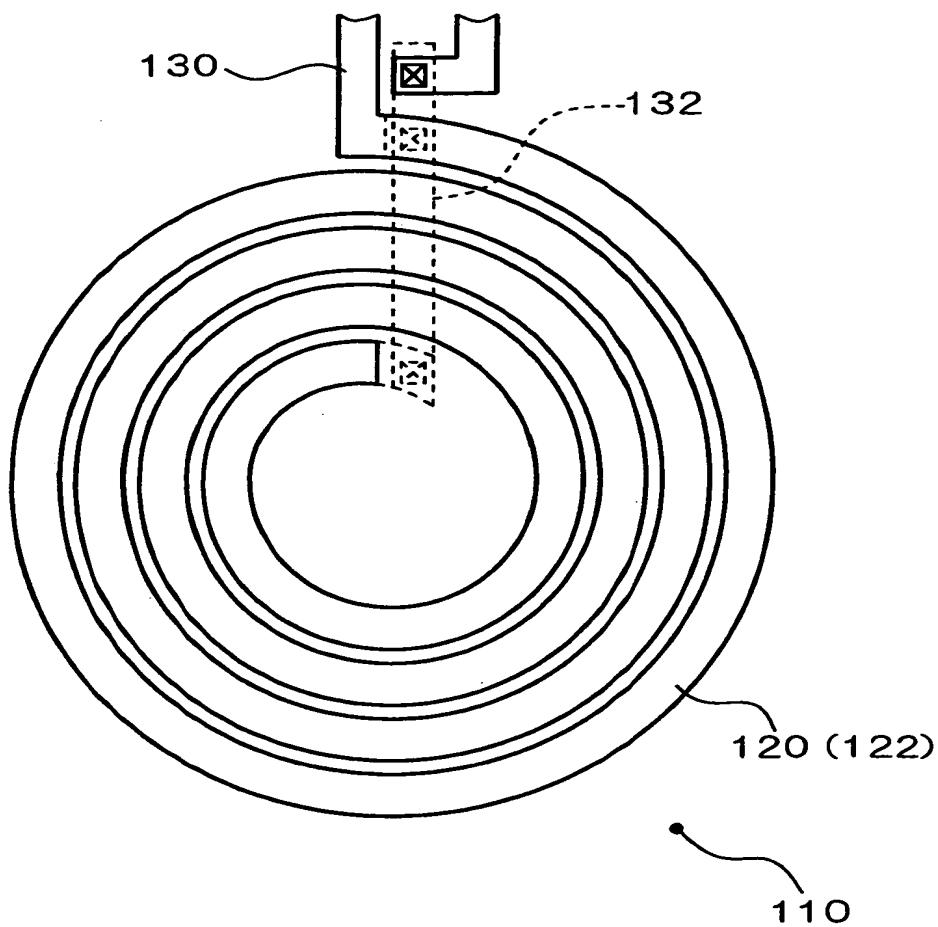
【図18】



【図19】



【図20】



【書類名】 要約書

【要約】

【課題】 基板上に形成した場合であっても有効に機能するインダクタ素子を提供すること。

【解決手段】 インダクタ素子100は、半導体基板110の表面に形成された渦巻き形状の2本の導体120、122を有している。上層の導体120と下層の導体122は、ほぼ同一形状を有しており、導体120の内周端と導体122の外周端とが電気的に接続されている。また、導体120の外周端と内周端のそれぞれには引出線130、132が接続されており、内周端に接続された引出線132は、下層の導体122と半導体基板110との間を通して外周側に引き出される。

【選択図】 図4

認定・付加情報

特許出願の番号 平成11年 特許願 第192675号
受付番号 59900650689
書類名 特許願
担当官 第七担当上席 0096
作成日 平成11年 7月 9日

＜認定情報・付加情報＞

【提出日】 平成11年 7月 7日

次頁無

出願人履歴情報

識別番号 [593119169]

1. 変更年月日 1993年 5月28日

[変更理由] 新規登録

住 所 東京都大田区山王二丁目5番6-213号

氏 名 株式会社ティ・アイ・エフ